

2.8 アウトプットコンペア機能による任意の位相差のパルス出力

アウトプットコンペア機能による任意の位相差のパルス出力	使用機能	タイマW : アウトプットコンペア機能
<div data-bbox="177 159 236 188" data-label="Text"> <p>仕様</p> </div> <div data-bbox="167 237 1402 416" data-label="List-Group"> <ul style="list-style-type: none"> (1) 図1に示すように、タイマWアウトプットコンペア機能を使用して、デューティ50%のパルスを任意の位相差で出力させます。 (2) FT10A出力端子およびFT10B出力端子より、任意の位相差のパルスを出力します。 (3) パルスの周期は、ジェネラルレジスタA (GRA) により設定します。 (4) FT10A、FT10B端子より出力するパルスの位相差は、ジェネラルレジスタB (GRA) により設定します。 (5) 本タスク例では、周期が16.25ms、位相差が3.125msのパルスを出力します。 </div> <div data-bbox="300 479 1294 775" data-label="Figure"> <p>The diagram shows two square wave signals, FT10A and FT10B. FT10A is the upper signal and FT10B is the lower signal. Both signals have a 50% duty cycle. The period of the pulses is indicated by a horizontal double-headed arrow labeled '周期'. The phase difference between the two signals is indicated by a horizontal double-headed arrow labeled '位相差', showing that FT10B is shifted to the right relative to FT10A.</p> </div> <div data-bbox="580 788 973 817" data-label="Caption"> <p>図1 任意の位相差のパルス出力</p> </div>		
<div data-bbox="122 853 287 882" data-label="Text"> <p>使用機能説明</p> </div> <div data-bbox="167 938 1422 1904" data-label="List-Group"> <ul style="list-style-type: none"> (1) 本タスク例では、タイマWアウトプットコンペア機能を使用して、FT10A、FT10B出力端子より任意の位相差のパルスを出力します。 (a) 図2にタイマWアウトプットコンペア機能のブロック図を示します。以下にタイマWアウトプットコンペア機能のブロック図について説明します。 <ul style="list-style-type: none"> ・システムクロック () は、16MHzのOSCクロックで、CPUおよび周辺機能を動作させるための基準クロックです。 ・プリスケラS (PSS) は、 を入力とする13ビットのカウンタで、1サイクルごとにカウントアップします。 ・タイマカウンタ (TCNT) は、16ビットのリード/ライト可能なアップカウンタで、入力する内部クロック/外部クロックによりカウントアップされます。入力するクロックは、システムクロックの2分周、4分周、8分周および外部クロックの計4種類のクロックより選択可能です。本タスク例では、TCNTの入力クロックにシステムクロックの2分周のクロックを選択しています。 ・タイマコントロールレジスタW (TCRW) は、8ビットのリード/ライト可能なレジスタで、TCNTの入力クロックの選択を行ないます。 ・タイマステータスレジスタW (TSRW) は、8ビットのレジスタで、カウンタクリアの選択、各割込み要求信号の制御を行ないます。 ・タイマインタラプトイネーブルレジスタW (TIERW) は、8ビットのリード/ライト可能なレジスタで、各割込み要求の許可/禁止を制御します。 ・タイマモードレジスタW (TMRW) は TCNTのカウンタスタート命令を行います。 ・タイマI/Oコントロールレジスタ0 (TIO0) は、8ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタの設定およびアウトプットコンペア出力の設定を行います。 ・ジェネラルレジスタA (GRA) は、16ビットのリード/ライト可能なレジスタで、GRAの内容はTCNTと常に比較されており、両者の値が一致すると、TSRWのIMFAが"1"にセットされます。この時、TIERWのIM1EAが"1"ならばCPUに割込みを要求します。また、コンペアマッチAが発生したとき、TIO0のIOA2が"0"にセットされていると、TIO0のIOA1、IOA0で設定したレベル値がFT10A端子に出力されます。 ・ジェネラルレジスタレジスタB (GRB) は、16ビットのリード/ライト可能なレジスタで、GRBの内容はTCNTと常に比較されており、両者の値が一致すると、TSRWのIMFBが"1"にセットされます。この時、TIERWのIM1EBが"1"ならばCPUに割込みを要求します。また、コンペアマッチBが発生したとき、TIO0のIOB2が"0"にセットされていると、TIO0のIOB1、IOB0で設定したレベル値がFT10B端子に出力されます。 ・アウトプットコンペアA出力端子 (FT10A) より、コンペアマッチAによるパルスを出力します。 ・アウトプットコンペアB出力端子 (FT10B) より、コンペアマッチBによるパルスを出力します。 </div>		

使用機能説明

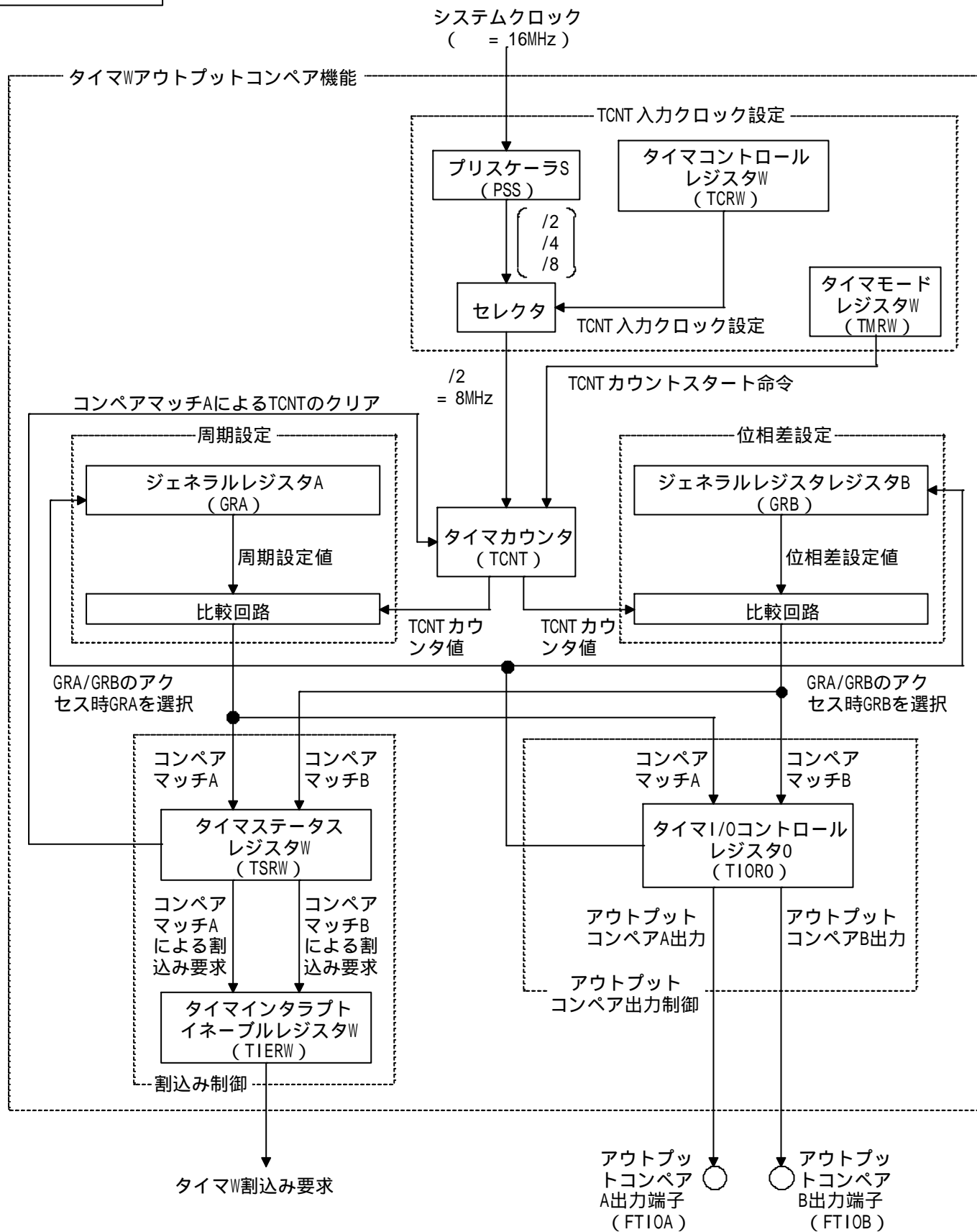
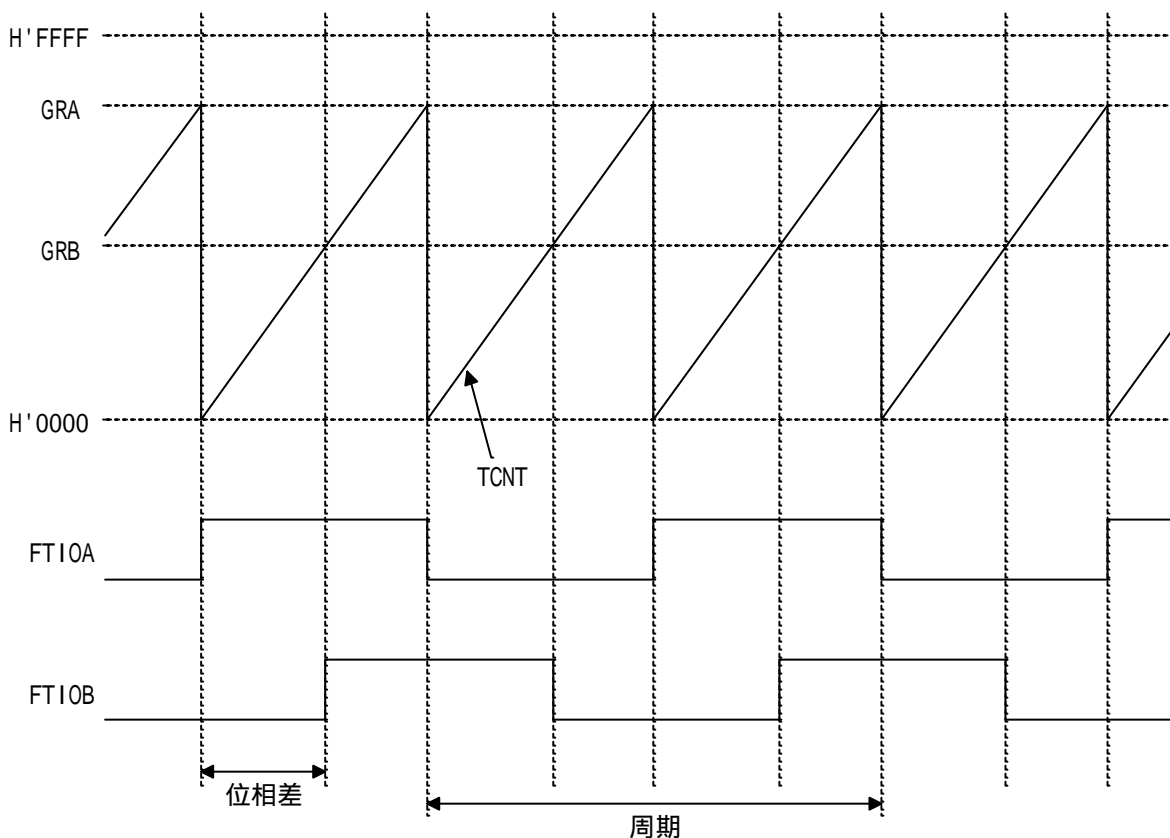


図2 タイマWアウトプットコンペア機能ブロック図

使用機能説明

(b) 図3に出力パルスの周期、および位相差の設定方法について示します。



$$\begin{aligned} \text{周期} &= 2 \times \text{GRA} \times \text{TCNT入力クロック周期} \\ &= 2 \times \text{GRA} \times 0.125 \mu\text{s} (\text{プリスケラS:2} \times \text{システムクロック:62.5ns}) \\ \text{位相差} &= \text{GRB} \times \text{TCNT入力クロック周期} \\ &= \text{GRB} \times 0.125 \mu\text{s} (\text{プリスケラS:2} \times \text{システムクロック:62.5ns}) \end{aligned}$$

図3 出力パルスの周期、および位相差の設定方法

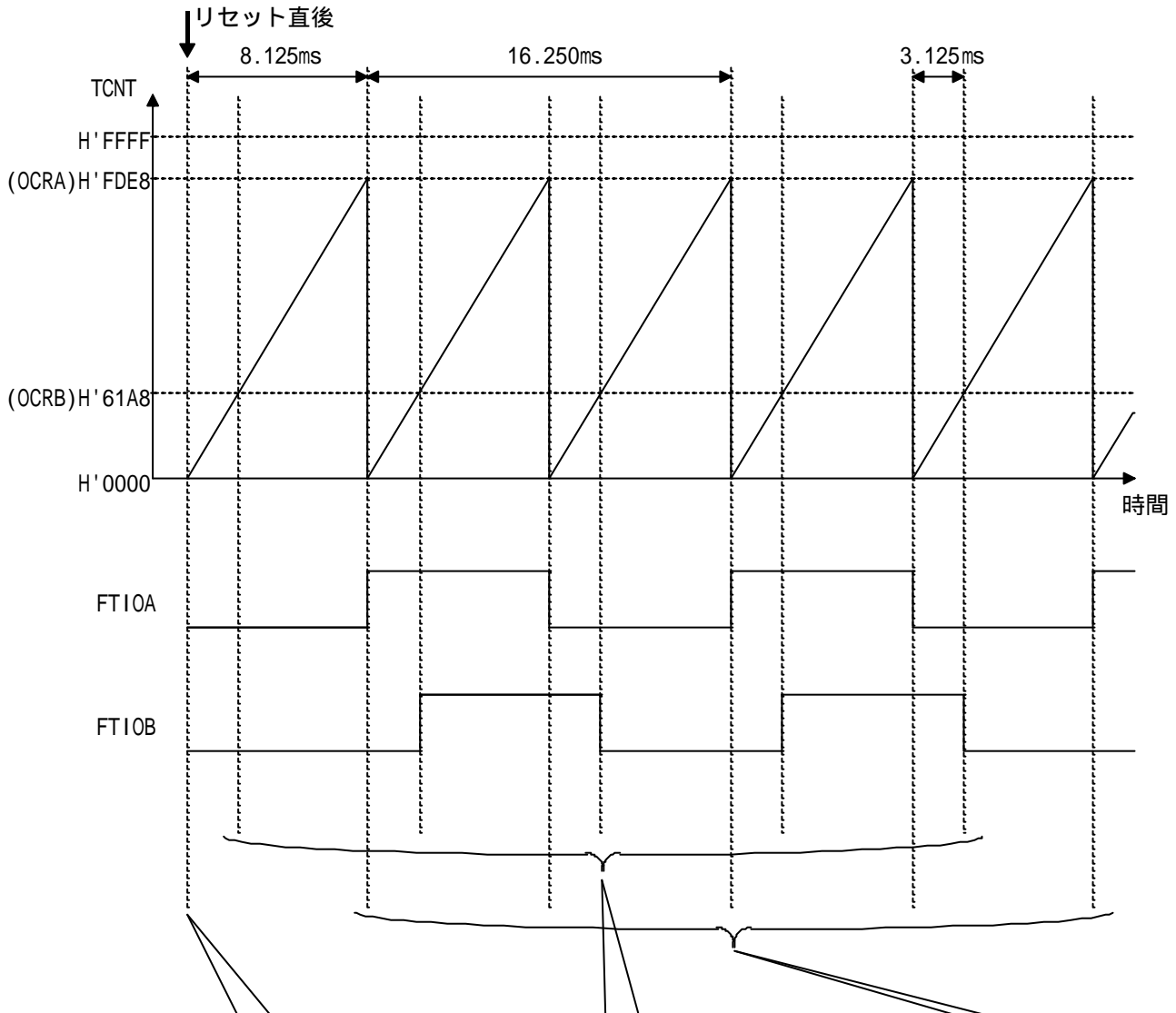
(2) 表1に本タスク例の機能割付けを示します。表1に示すように機能を割付け、タイマWアウトプットコンペア機能による任意の位相差のパルス出力を行ないます。

表1 機能割付け

機能	機能割付け
PSS	システムクロックを入力とする13ビットのカウンタ
TIERW	コンペアマッチA、コンペアマッチBによる割込みの許可を設定
TSRW	コンペアマッチA、コンペアマッチBによる割込み要求信号の制御、コンペアマッチAによるTCNTのクリアの許可を設定
TCNT	システムクロックを2分周したクロックを入力とする16ビットのアップカウンタ
GRA	出力パルスの周期を設定、TCNTのカウンタ値と一致するとコンペアマッチAが発生
GRB	出力パルスの位相差を設定、TCNTのカウンタ値と一致するとコンペアマッチBが発生
TCRW	TCNT入力クロックの設定
TMRW	TCNTカウントスタート設定
TIOR0	アウトプットコンペアレジスタの設定、アウトプットコンペア出力の設定
FTIOA	コンペアマッチAによるパルスの出力端子
FTIOB	コンペアマッチBによるパルスの出力端子

動作原理

(1) 図4に動作原理を示します。図3に示すようなハードウェア処理、およびソフトウェア処理によりタイマWアウトプットコンペア機能による任意の位相差のパルス出力を行ないます。



ハードウェア処理	
処理なし	
ソフトウェア処理	
初期設定	(a) 出力パルスの周期、および位相差の設定
	(b) アウトプットコンペア機能の設定
	(c) TCNTカウンタスタートの許可
	(d) 割込み許可

ハードウェア処理	
(a) コンペアマッチB	
(b) IMFBを"1"にセット	
(c) FTIOB出力端子より"0"または"1"の出力	
ソフトウェア処理	
(a) コンペアマッチBによる割込み処理開始	
(b) IMFBを"0"にクリア	
(c) コンペアマッチBによるFTIOB端子の出力レベルを反転	

ハードウェア処理	
(a) コンペアマッチA	
(b) IMFAを"1"にセット	
(c) FTIOA出力端子より"0"または"1"の出力	
ソフトウェア処理	
(a) コンペアマッチAによる割込み処理開始	
(b) IMFAを"0"にクリア	
(c) コンペアマッチAによるFTIOA端子の出力レベルを反転	

図4 タイマWアウトプットコンペア機能による任意の位相差のパルス出力の動作原理

アウトプットコンペア機能による任意の位相差のパルス出力	使用機能	タイマW : アウトプットコンペア機能
-----------------------------	------	---------------------

ソフトウェア説明

(1) モジュール説明

表2に本タスク例におけるモジュール説明を示します。

表2 モジュール説明

モジュール名	ラベル名	機能
メインルーチン	main	コンペアマッチ機能の設定、割込みの許可を行なう
アウトプットコンペア出力制御	twint	タイマW割込み処理ルーチンで、IMFAによる割込み要求かIMFBによる割込み要求かを判定し、FT10A、またはFT10B端子の出力レベルを反転を行なう

(2) 引数の説明

本タスク例では、引数は使用していません。

(3) 使用内部レジスタ説明

表3に本タスク例における使用内部レジスタ説明を示します。

表3 使用内部レジスタ説明

レジスタ名	機能	アドレス	設定値
TMRW	CTS タイマモードレジスタW (タイマカウンタスタート) : CTS="1"のとき、TCNTがカウンタ開始を示す : CTS="0"のとき、TCNTがカウンタ停止を示す	H'FF80 ビット7	1
TCRW	CCLR タイマコントロールレジスタW (カウンタクリア) : CCLR="1"のとき、コンペアマッチAによるTCNTのクリアを許可	H'FF81 ビット7	1
	CKS2 CKS1 CKS0 タイマコントロールレジスタW(クロックセレクト1、0) : CKS2="0"、CKS1="0"、CKS0="1"のとき、TCNTの入力クロックをシステムクロックの2分周のクロックに設定	H'FF81 ビット6 ビット5 ビット4	CKS2="0" CKS1="0" CKS0="1"
	TOB タイマコントロールレジスタW(タイマ出力レベルセットB) : TOB="1"のとき、コンペアマッチBが発生するまで、FT10B端子に出力するレベルを"High"レベルに設定 : TOB="0"のとき、コンペアマッチBが発生するまで、FT10B端子に出力するレベルを"Low"レベルに設定	H'FF81 ビット1	0
	TOA タイマコントロールレジスタW(タイマ出力レベルセットA) : TOA="1"のとき、コンペアマッチAが発生するまで、FT10A端子に出力するレベルを"High"レベルに設定 : TOA="0"のとき、コンペアマッチAが発生するまで、FT10A端子に出力するレベルを"Low"レベルに設定	H'FF81 ビット0	0
TIERW	IMIEB タイマインタラプトイネーブルレジスタW (アウトプットコンペア割込みBイネーブル) : IMIEB="1"のとき、IMFBによる割込みを許可	H'FF82 ビット1	1
	IMIEA タイマインタラプトイネーブルレジスタW (アウトプットコンペア割込みAイネーブル) : IMIEA="1"のとき、IMFAによる割込みを許可	H'FF82 ビット0	1
TSRW	IMFB タイマステータスレジスタW (アウトプットコンペアフラグB) : IMFB="0"のとき、TCNTとGRBがコンペアマッチしていないことを示す : IMFB="1"のとき、TCNTとGRBがコンペアマッチしたことを示す	H'FF83 ビット1	0
	IMFA タイマステータスレジスタW (アウトプットコンペアフラグA) : IMFA="0"のとき、TCNTとGRAがコンペアマッチしていないことを示す : IMFA="1"のとき、TCNTとGRAがコンペアマッチしたことを示す	H'FF83 ビット0	0

ソフトウェア説明

表3 使用内部レジスタ説明

レジスタ名	機能	アドレス	設定値
T10R0	IOB2 タイマI/Oコントロールレジスタ0 (I/OコントロールB2) : IOB2="0"のとき、アウトプットコンペアBとして機能	H'FF84 ビット6	0
	IOB1 IOB0 タイマI/Oコントロールレジスタ0 (I/OコントロールB1~0) : IOB1="1"のとき、コンペアマッチBにより、FTIOB端子出力を トルグ出力に設定 : IOB0="1"のとき、コンペアマッチBにより、FTIOB端子出力を トルグ出力に設定	H'FF84 ビット5 ビット4	IOB1="1" IOB0="1"
	IOA2 タイマI/Oコントロールレジスタ0 (I/OコントロールA2) : IOA2="0"のとき、アウトプットコンペアAとして機能	H'FF84 ビット2	0
	IOA1 IOA0 タイマI/Oコントロールレジスタ0 (I/OコントロールA1~0) : IOA1="1"のとき、コンペアマッチAにより、FTIOA端子出力を トルグ出力に設定 : IOA0="1"のとき、コンペアマッチAにより、FTIOA端子出力を トルグ出力に設定	H'FF84 ビット1 ビット0	IOA1="1" IOA0="1"
TCNT	タイマカウンタ : システムクロックの2分周のクロックを入力とする16ビット のアップカウンタ	H'FF86	H'7530
GRA	ジェネラルレジスタA : GRAの設定値とTCNTのカウント値が一致すると、コンペア マッチAが発生	H'FF88	H'FDE8
GRB	ジェネラルレジスタB : GRBの設定値とTCNTのカウント値が一致すると、コンペア マッチBが発生	H'FF8A	H'61A8

(4) 使用RAM説明

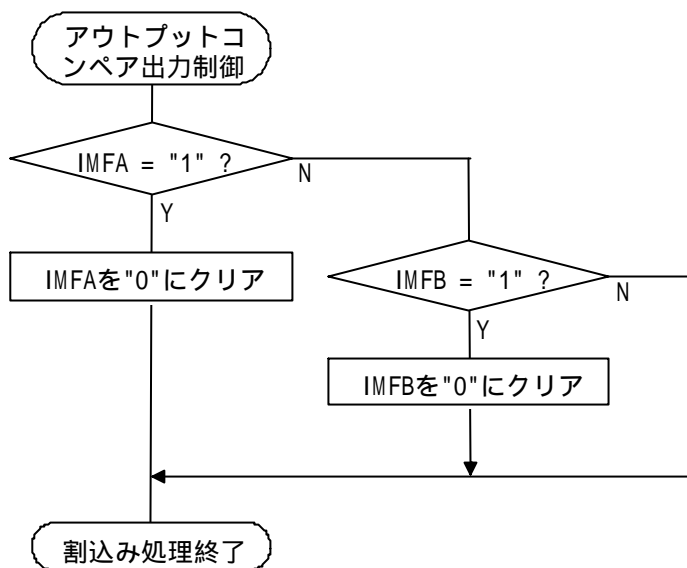
本タスク例では、RAMは使用しません。

フローチャート

(a) メインルーチン



(b) タイマW割り込み処理ルーチン



本例ではスタックポインタはINIT.SRC (アセンブリ言語) で設定してあります。

プログラムリスト

INIT.SRC (プログラムリスト)

```
.EXPORT _INIT
.IMPORT _main
;
.SECTION P, CODE
_INIT:
MOV.W #H'FF80, R7
LDC.B #B'10000000, CCR
JMP @_main
;
.END
```

```
/*
 *
 * H8/300H Tiny Series -H8/3664-
 * Application Note
 *
 * 'Pulse Output of Random Phase Difference by
 * Output Compare Function'
 *
 * Function
 * : Timer W Output Compare
 *
 * External Clock : 16MHz
 * Internal Clock : 16MHz
 * Sub Clock : 32.768kHz
 */
```

```
#include <machine.h>
```

```
/*
 * Symbol Definition
 */
```

```
struct BIT {
    unsigned char b7:1; /* bit7 */
    unsigned char b6:1; /* bit6 */
    unsigned char b5:1; /* bit5 */
    unsigned char b4:1; /* bit4 */
    unsigned char b3:1; /* bit3 */
    unsigned char b2:1; /* bit2 */
    unsigned char b1:1; /* bit1 */
    unsigned char b0:1; /* bit0 */
};
```

```
#define TMRW *(volatile unsigned char *)0xFF80 /* Timer Mode Register W */
#define TCRW *(volatile unsigned char *)0xFF81 /* Timer Control Register W */
#define TCRW_BIT (*(struct BIT *)0xFF81) /* Timer Control Register W */
#define CCLR TCRW_BIT.b7 /* Counter Clear A */
#define CKS1 TCRW_BIT.b5 /* Clock Select 1 */
#define CKS0 TCRW_BIT.b4 /* Clock Select 0 */
#define TOB TCRW_BIT.b1 /* Timer Output Level B */
#define TOA TCRW_BIT.b0 /* Timer Output Level A */
#define TIERW *(volatile unsigned char *)0xFF82 /* Timer Interrupt Enable Register */
#define TIERW_BIT (*(struct BIT *)0xFF82) /* Timer Interrupt Enable Register */
#define OVIE TIERW_BIT.b7 /* Timer Overflow Interrupt Enable */
#define IMIEB TIERW_BIT.b1 /* Output Compare Interrupt B Enable */
#define IMIEA TIERW_BIT.b0 /* Output Compare Interrupt A Enable */
#define TSRW *(volatile unsigned char *)0xFF83 /* Timer Status Register W */
#define TSRW_BIT (*(struct BIT *)0xFF83) /* Timer Status Register W */
#define OVF TSRW_BIT.b7 /* Timer Over flow */
#define IMFB TSRW_BIT.b1 /* Output Compare Flag B */
#define IMFA TSRW_BIT.b0 /* Output Compare Flag A */
#define TIOR0 *(volatile unsigned char *)0xFF84 /* Timer I/O Control Register 0 */
#define TIOR0_BIT (*(struct BIT *)0xFF84) /* Timer I/O Control Register 0 */
#define IOB2 TIOR0_BIT.b6 /* I/O Control Register B2 */
#define IOB1 TIOR0_BIT.b5 /* I/O Control Register B1 */
#define IOB0 TIOR0_BIT.b4 /* I/O Control Register B0 */
```


プログラムリスト

```

#define IOA2      TIORO_BIT.b2          /* I/O Control Register A2      */
#define IOA1      TIORO_BIT.b1          /* I/O Control Register A1      */
#define IOA0      TIORO_BIT.b0          /* I/O Control Register A0      */
#define TCNT      *(volatile unsigned int *)0xFF86 /* Time Counter                */
#define GRA       *(volatile unsigned int *)0xFF88 /* General Register A           */
#define GRB       *(volatile unsigned int *)0xFF8A /* General Register B           */

#pragma interrupt (twint)
/*****
/* 関数定義 */
*****/
extern void INIT ( void ); /* SP Set */
void main ( void );
void twint ( void );

/*****
/* Vector Address */
*****/
#pragma section V1 /* VECTOR SECTOIN SET */
void (*const VEC_TBL1[])(void) = {
/* 0x00 - 0x0f */
INIT /* 00 Reset */
};
#pragma section V2 /* VECTOR SECTOIN SET */
void (*const VEC_TBL2[])(void) = {
twint /* 2A Timer W Interrupt */
};
#pragma section /* P */
/*****
/* Main Program */
*****/
void main ( void )
{
set_imask_ccr(1); /* Interrupt Disable */

GRA = 0xFDE8; /* Initialize GRA */
GRB = 0x61A8; /* Initialize GRB */

TIORO = 0xBB; /* Initialize Output Compare Function */
TCRW = 0x90; /* Initialize TCNT Input Clock Period */
TIERW = 0x73; /* Initialize IMIEA/IMIEB Interrupt Enable */

TCNT = 0x7530; /* Initialize TCNT */
TMRW = 0xC8; /* Initialize timer Mode Register */

set_imask_ccr(0); /* Interrupt Enable */

while(1) {
;
}
}

```

プログラムリスト

```

/*****/
/*  Timer W Interrupt                               */
/*****/
void twint ( void )
{
    if ( IMFA == 1 ){                                /* IMFA = "1" ? */
        IMFA = 0;                                    /* Clear IMFA   */
    }
    else{
        if( IMFB == 1 ){                             /* IMFB = "1" ? */
            IMFB = 0;                                 /* Clear IMFB   */
        }
    }
}

```

リンクアドレス指定

セクション名	アドレス
CV1	H'0000
CV2	H'002A
P	H'0100